

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029537

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 03-179719

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.07.1991

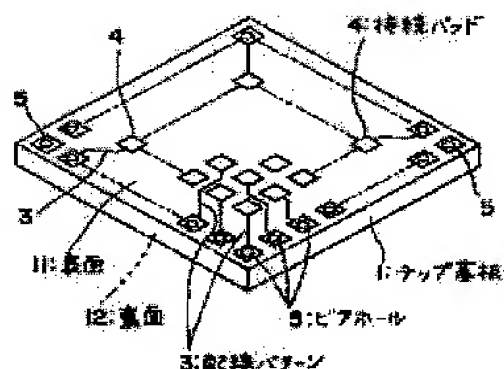
(72)Inventor : KUSAYA TOSHIHIRO
MATSUMOTO MASARU

(54) SEMICONDUCTOR MODULE STRUCTURE

(57)Abstract:

PURPOSE: To reduce mounting area and realize high density mounting, by unnecessitating module substrates for mounting chip substrates, and vertically stacking the chip substrates, concerning semiconductor module structure constituted by stacking a plurality of chip substrates on which semiconductor circuits are formed.

CONSTITUTION: Wiring patterns 3 and connection pads 4 are formed on the surface 11 and the rear 12 of a chip substrates 1 on which semiconductor circuits are formed. The wiring pattern on the surface and the wiring pattern 3 on the rear are electrically connected through via holes 5. A plurality of chip substrates 1 are vertically stacked by using the connection pads 4.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-29537

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 1 L 25/065

25/07

25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-179719

(22)出願日

平成3年(1991)7月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 草谷 敏弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松本 優

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 山川 雅男

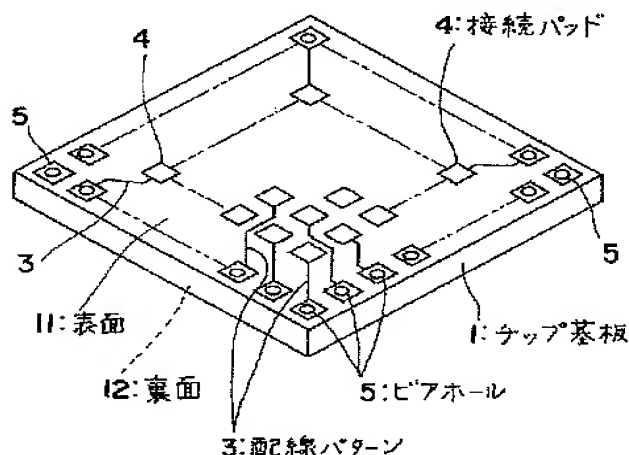
(54)【発明の名称】 半導体モジュール構造

(57)【要約】

【目的】半導体回路を形成したチップ基板を複数枚搭載してなる半導体モジュール構造に関し、チップ基板を搭載するモジュール基板を不要として、上下に積み重ねて搭載面積を小さくし、高密度に実装することを目的とする。

【構成】半導体回路2を形成したチップ基板1の表裏面11、12にそれぞれ配線パターン3および接続パッド4を設け、前記配線パターン3の表裏面間をビアホール5で導通させ、前記チップ基板1を複数枚、前記接続パッド4により上下に積み重ねて構成される。

本発明の実施例を示す説明図



1

【特許請求の範囲】

【請求項1】半導体回路(2)を形成したチップ基板(1)の表面(11)および裏面(12)に配線パターン(3)と接続パッド(4)をそれぞれ形成するとともに、前記表裏面(11、12)の配線パターン(3、3)をビアホール(5)で接続してなり、かつ複数の前記チップ基板(1、1、…)をそれぞれ対向する表裏面(11、12)の接続パッド(4、4)を介して接続して積み重ねてなることを特徴とする半導体モジュール構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体回路の形成された半導体チップを複数個モジュール化して、高密度に実装する半導体モジュール構造に関するものである。

【0002】近年、電子機器の小型化、高機能化のため、複数の半導体チップを一つの配線基板上に搭載してモジュール化することにより、電子機器のマザーボード上に高密度に実装することが行われているが、複数の半導体チップを配線基板を介して接続してモジュール化するため、半導体チップ間を平面的に配置する配線基板をあまり小さくできず、より高密度に半導体チップを実装することのできる半導体モジュール構造が求められている。

【0003】

【従来の技術】従来、半導体モジュール構造としては、図5に示すように、樹脂やセラミック基材等に配線パターンをプリントしてなるモジュール基板10上に、シリコン基板上に半導体回路を形成してなる半導体チップ20を、半田パンパやボンディングワイヤ等により接続して、複数個搭載し、半導体チップ20をシールキャップ30や樹脂コートで保護して、半導体モジュールを構成していた。そして、マザーボード40上には、モジュール基板10に形成された外部接続リード110によって接続するようになっていた。

【0004】

【発明が解決しようとする課題】しかしながら、従来の半導体モジュール構造では、モジュール基板10上に半導体チップ20を平面的に配置して、それぞれ半導体チップ20間をモジュール基板10上にプリントされた配線パターンで接続するものであるから、半導体チップ20、20、…の搭載部と配線パターンの形成部がモジュール基板10上に必要であり、モジュール基板10の面積を十分小さくすることができないという欠点があった。

【0005】本発明は、以上の欠点を解消すべくなされたものであって、複数の半導体チップをモジュール基板上に平面的に配置することなく、実装面積を小さくして、小型かつ高密度な半導体モジュール構造を提供することを目的とするものである。

【0006】

2

【課題を解決するための手段】本発明を実施例に対応する図1ないし図3に基づいて説明すると、半導体回路2を形成したチップ基板1の表面11および裏面12には、それぞれ配線パターン3および接続パッド4を形成している。さらに、チップ基板1には表裏面11、12間を貫通して表裏面の配線パターン3、3を接続するビアホール5を形成している。そして、複数の前記チップ基板1の表面側の接続パッド41と上段のチップ基板1の裏面側の接続パッド42を重ねて多段に接続して形成する。

【0007】

【作用】上記構成に基づき、本発明においては、チップ基板1の表裏面11、12間を貫通するビアホール5により表裏面の配線パターン3、3および接続パッド4、4を接続しているため、チップ基板1を複数枚上下に積み重ねて、下段側の表面部接続パッド4と、積み重ねられる上段側の裏面部接続パッド4とを半田等により接続することによって半導体モジュールを構成することができ、半導体チップをモジュール化して接続するための配線基板が不要となり、かつ上下に積み重ねることにより、マザーボードへの実装面積を一つのチップ基板の大きさにして、装置の小型化を図ることができ、高密度化が可能となる。

【0008】

【実施例】以下、本発明の望ましい実施例を添付図面に基づいて詳細に説明する。図1および図2は本発明の半導体モジュールを構成する半導体素子のチップ基板1を示すものであり、図3は複数のチップ基板1、1、…をマザーボード6上に多段に積み重ねて形成された半導体モジュールAを示すものである。

【0009】図1に示すように、チップ基板1は半導体回路2を形成するシリコン基板であり、表面11には、半導体回路2が形成されている。そして、チップ基板1には表面11と裏面12とを貫通して導通させるビアホール5を形成している。

【0010】チップ基板1の表裏面11、12にはそれぞれ対応する位置に接続パッド4、4が形成されており、半導体回路2と接続パッド4とを接続するように配線パターン3が形成されている。そして、表裏面11、12にそれぞれ形成される配線パターン3、3は図2に示すようにビアホール5によって導通している。

【0011】そして、チップ基板1は図3に示すように複数枚重ねてマザーボード6上に搭載されるもので、最下段のチップ基板1の裏面12に形成されている接続パッド4をマザーボード6の接続パッド61に半田7や導電接着剤等によって固定される。そして、チップ基板1の表面側の接続パッド4には同様に上段のチップ基板1の裏面側接続パッド42を固定して、多段に積み重ねられ、全体を樹脂コーティング8によって保護するように搭載されている。

3

【0012】次にチップ基板1の製造工程について説明すると、まず、図4(a)に示すように、シリコン基板13にレーザやエッチング等によって孔加工を行い表面に酸化シリコン膜14を形成する。そして、半導体作成プロセスによって半導体を形成し、アルミニウム蒸着、リソグラフィにより半導体回路2を形成する。

【0013】次に、図4(b)に示すようにチップ基板1の表裏面11、12にイミドスピンコート等により絶縁層15を形成し、焼付、現像によってビアホール5を露出させる。そして、メタル蒸着、エッチングによってビアホール5、接続パッド4を接続する配線パターン3を絶縁層15上に形成してチップ基板1を形成するものである。

【0014】

【発明の効果】以上説明したように、本発明においては、半導体回路を形成したチップ基板の表裏面に配線パターンをビアホールで接続して設け、表裏面の接続パッドでチップ基板を多段に積み重ねて、半導体モジュール*

を形成するため、チップ基板をモジュール化する配線基板が不要となり、マザーボードへの搭載面積を小さくして、高密度な実装が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例を示す説明図である。

【図2】本発明の断面を示す説明図である。

【図3】本発明の搭載状態を示す説明図である。

【図4】本発明の実施例の製造工程を示す説明図である。

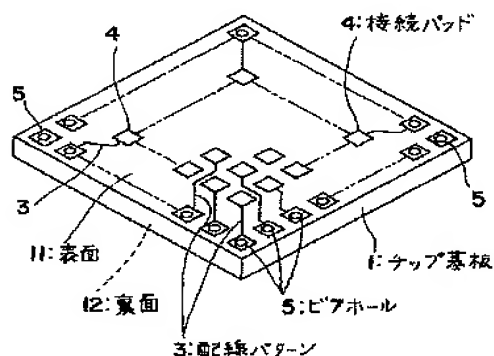
【図5】従来例を示す説明図である。

【符号の説明】

- 1 チップ基板
- 11 表面
- 12 裏面
- 2 半導体回路
- 3 配線パターン
- 4 接続パッド
- 5 ビアホール

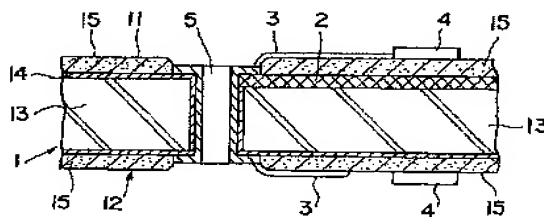
【図1】

本発明の実施例を示す説明図



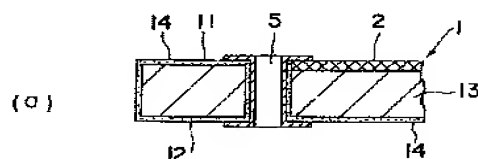
【図2】

本発明の断面を示す説明図

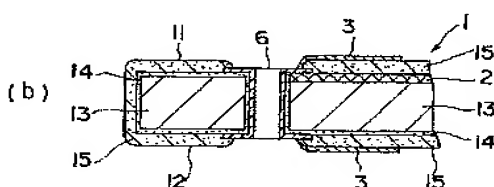


【図4】

製造工程を示す説明図



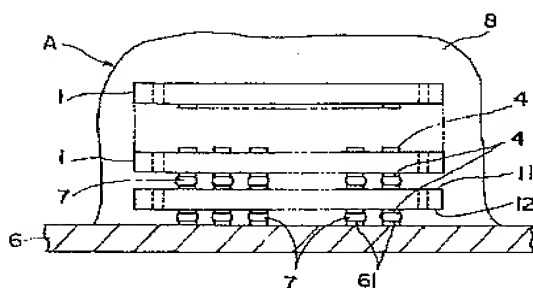
(a)



(b)

【図3】

本発明の搭載状態説明図



【図5】

従来例を示す説明図

